

# JAPANESE PATENT ABSTRACT

**(11) Publication No.** 60-128486

**(43) Publication Date:** July 9, 1985

**(21) Application No.** 58-236096

**(22) Application Date:** December 16, 1983

**(54) Title of the invention**

Display Device

## <Claims>

An active matrix type display device in which a thin film transistor is a switch element, comprising: a pixel electrode and gate bus and drain bus includes a transparent conductive layer; a channel portion of a transistor includes a semiconductor layer that is connected to the transparent conductive layer; a transparent insulation layer is formed between lamination portions that include the transparent conductive layer and the semiconductor layer; and an opaque gate electrode that is connected to the gate bus is formed through a contact hole outside the transparent insulation layer, wherein one side of the gate bus and the drain bus in their crossing region is conducted through an opaque bridge electrode that is formed outside the opaque insulation layer in order to electrically insulate the gate bus from the drain bus.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-128486

⑤ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)7月9日

G 09 F 9/30  
H 01 L 27/12  
29/78

6615-5C  
8122-5F  
8422-5F

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 表示装置

⑯ 特 願 昭58-236096

⑰ 出 願 昭58(1983)12月16日

⑱ 発 明 者 佐 藤 進 西尾市下羽角町岩谷14番地 株式会社日本自動車部品総合研究所内  
⑱ 発 明 者 中 村 武 宏 西尾市下羽角町岩谷14番地 株式会社日本自動車部品総合研究所内  
⑱ 発 明 者 堅 田 満 孝 西尾市下羽角町岩谷14番地 株式会社日本自動車部品総合研究所内  
⑱ 発 明 者 服 部 正 西尾市下羽角町岩谷14番地 株式会社日本自動車部品総合研究所内  
⑲ 出 願 人 株式会社日本自動車部品総合研究所 西尾市下羽角町岩谷14番地  
⑳ 代 理 人 弁理士 青 木 朗 外4名

明 細 書

1. 発明の名称

表示装置

2. 特許請求の範囲

薄膜トランジスタをスイッチ素子とするアクティブマトリックス方式表示装置において、画素電極、ゲートバスおよびドレインバスを透明導電層で構成し、トランジスタのチャンネル部を該透明導電層に接続した半導体層で構成し、該透明導電層と該半導体層からなる積層体を透明絶縁層で挟持し、該透明絶縁層の外側にコンタクトホールを介して該ゲートバスと接続した不透明ゲート電極を形成し、かつ、該ゲートバスと該ドレインバスの間の電気的絶縁を達成するために、該ゲートバスと該ドレインバスのいずれか一方をそれらの交差部において該透明絶縁層の外側に形成した不透明ブリッジ電極を介して導通させたことを特徴とする表示装置。

3. 発明の詳細な説明

技術分野

本発明は表示装置、特に薄膜トランジスタアレイによるアクティブマトリックス方式表示装置に係る。

従来技術

液晶表示装置などにおいて精細な画像を表示するために、スイッチ素子をマトリックス状に配列したアレイを用いて、液晶等を直接にスイッチ駆動する方法が最近注目されるようになっている。そのスイッチ素子として薄膜トランジスタ(TFT)を用いるとき、特に透過方式の場合、表示特性を向上させる為に画素電極はもとよりゲートバス、データバスも導電性透明電極とすることは公知である。一方、半導体部の光導電特性によるTFTのオフ(OFF)抵抗の低下を防ぐためには、ゲート部を不透明電極とし、ライトシールドとすることが有効であることも公知である。

そこで、これら両方の要求を同時に満足させるためには、ゲートラインを2種類の材料で構成し、半導体と重なるゲート電極部には不透明材料を用い、ゲートバス部は透明材料とし、そしてその上

に絶縁層を介して半導体層および透明導電層(画素電極,ソース,ドレイン,ドレインバス)を形成すればよい。しかし、この場合、ゲートラインの形成において工程数が1工程増加する。また、ゲートラインを構成する2種類の材料を連続してパターンニングする際、両材料のエッチング特性を考慮する必要がある(例えば、金属によるゲート電極をパターンニングした後、酸化錫等の透明導電層をパターンニングするためにエッチング液として酸を用いると、ゲート電極もエッチングされてしまう)などの問題がある。

#### 発明の目的

本発明は、上記の如き事情に鑑み、工程を複雑にすることなく、透過特性の向上とライトシールド効果の2つの要求を満足する、TFTをスイッチ素子とするアクティブマトリックス方式表示装置の新しい構成を提供することを目的とする。

#### 発明の構成

上記目的を達成する本発明による薄膜トランジスタをスイッチ素子とするアクティブマトリックス

方式表示装置は、画素電極,ゲートバスおよびドレインバスを透明導電層で構成し、トランジスタのチャンネル部を該透明導電層に接続した半導体層で構成し、該透明導電層と該半導体層からなる積層体を透明絶縁層で挟持し、該透明絶縁層の外側にコンタクトホールを介して該ゲートバスと接続した不透明ゲート電極を形成し、かつ、該ゲートバスと該ドレインバスの間の電気的絶縁を達成するために、該ゲートバスと該ドレインバスのいずれか一方をそれらの交差部において該透明絶縁層の外側に形成した不透明ブリッジ電極を介して接続したことを特徴とする。

この構成により、透明導電膜の加工が1度で済み、工程が簡単化され、また、2種類のゲートラインのエッチングも透明絶縁層が介在しているのでエッチングが容易になる。

#### 発明の実施例

第1図～第4図は、本発明による表示装置の1画素周辺の工程順の平面図および断面図である。第1b,2b,3b図および第1c,2c,3c

図は、それぞれ、第1a,2a,3a図の線分B-BおよびC-Cに沿う断面図である。

第1a,1b,1c図を参照すると、コーニング7059(コーニング社の引上げ法による板ガラスの商品名)等のガラス基板1上にニクロム等の導電性不透明材料を厚さ100～200nm程度に蒸着し、周知のフォトリソグラフィ技術等により、パターンニングし、ゲート電極2およびブリッジ電極3を形成する。第2a,2b,2c図を参照すると、その上に窒化珪素( $\text{Si}_3\text{N}_4$ )、酸化珪素( $\text{SiO}_2$ )等の透明な電気絶縁性薄膜4をCVD法等により全面に厚さ100～150nm程度被着する。次いで、アモルファス(あるいはポリ)シリコン半導体をCVD法等により全面に厚さ300nm程度に被着し、パターンニングすることによりスイッチング・トランジスタのチャンネル領域となる半導体層8を形成する。この透明絶縁膜4にはゲート電極用6およびブリッジ電極用7のコンタクトホールを形成する。

第3a,3b,3c図を参照すると、ITO

(Indium Tin Oxide)、酸化錫等の透明導電材料を厚さ200nm程度にスパッタリング被着し、パターンニングし、ゲートバス9、ドレインバス10、画素電極11を形成する(ソース,ドレイン電極部を含む)。このエッチングでは、透明導電材料の下側に透明絶縁層4が存在するので、透明導電材料と不透明導電性材料層(ゲート電極2およびブリッジ電極3)とのエッチング特性を考慮する必要がなく、パターンニングが容易である。ゲートバス9はコンタクトホール6を介してゲート電極2と接続される。また、ゲートバス9はドレインバス10と透明導電性材料の層では交差することなく、しかもゲートバス自体の導通を保つために、ゲートバス9の透明導電性材料層はドレインバス10と交差する位置で切断され、コンタクトホール7を介し、そしてブリッジ電極3を介して導通するようになっている。

こうして作成されるTFTの構成はガラス基板1上にマトリックス状に配列されている。第4a図および第4b図は上記のTFTを液晶パネルに

組込んだ場合の第1a図の線分B-BおよびC-Cに沿った断面図である。上記TFTの透明導電性材料層9, 10, 11のパターニングの後、再び $\text{SiO}_2$ 等の透明電気絶縁性薄膜12を全面に厚さ100~300nm程度に被着する。次いで、ゲート部をニクロムあるいはアルミニウム等の不透明膜で覆い、オブティカルシールド13とする。このオブティカルシールド13は導電性材料である必要はなく、塗料、カーボンブラック等を塗布してもよい。このように半導体層8はゲート電極2およびオブティカルシールド13によって上下両方からオブティカルシールドされているので、透過光、反射光とも遮断される。

オブティカルシールド13および透明絶縁膜12の上は液晶を配向させるためのポリマ配向膜14で全面に覆われている。液晶層15をはさんで対向側は、ガラス基板16の内面に全面の透明導電膜よりなる対向電極17と、更に内面に全面のポリマ配向膜18が形成されている。こうして、両方の基板の間に液晶が封入されている。

インバスの層の4層による構成が可能になる。すなわち、工程数が1工程以上少なくてできる。

第5図は本発明の別の実施例を示す。この実施例は前記実施例のゲート電極とブリッジ電極とを一体に構成し(図の21)、ゲートバス22との導通をコンタクトホール7および23を介して取るものである。その他は前記実施例と同様であり、図中の参照数字も同じ部分は同じ数字で示した。この実施例は、ゲート電極とブリッジ電極が分離されている必要がないことを示すものである。

第5図はもう1つの実施例を示し、第6図は第5図の線分ⅦB-ⅦBに沿った断面図である。この実施例は最初の実施例の上部オブティカルシールド13を形成するニクロム層をゲート電極およびブリッジ電極として利用するものである。最初の実施例と同様の部分は同じ参照数字で示すと、ガラス基板1の上にゲート部のみで下方オブティカルシールド31を例えばニクロム等不透明材料で形成する。次いで、 $\text{SiO}_2$ 等の透明絶縁膜4を全面に被着し、その上に透明導電性層をパターニ

ングして画素電極11、ゲートバス32およびドレインバス33を形成し、更にその上にアモルファスシリコン等の半導体層8を形成する。第2の透明絶縁膜( $\text{SiO}_2$ 等)12を全面に被着し、コンタクトホール34, 35を開孔した後、ニクロム等の不透明導電性膜をパターニングしてゲート電極36およびブリッジ電極37を形成する。その上にポリマ配向膜14を全面に形成し、以下最初の実施例と同様にする。こうすることによって、最初の実施例と等価な構成が得られる。すなわち、ゲート電極およびブリッジ電極は透明導電性膜の下方でも上方でもよく、さらにそれらは上下両方に分離して形成されてもよいのである(但し、上下両方に分離すると、ライトシールド層はゲート電極とブリッジ電極を形成するために両方とも必ず導電性である必要があり、かつそれらとコンタクトをとるために上下両方の透明絶縁膜にコンタクトホールを形成する必要がある)。

さらに、この実施例ではゲートバス32ではなくドレインバス33をブリッジ電極37を介して

導通させている。ゲートバスとドレインバスの交差部でそれらのうちいずれをブリッジ電極を介して導通させるかは、どの実施例においても任意であり、更に同一装置のマトリックスの位置によって変えてもよい。

また、オプティカルシールドは上下両方に形成することが一般的に好ましく、特に透過型ではそうであるが、反射型では上方だけにオプティカルシールドを形成してもよい。

以上の実施例では、本発明によるマトリックス状スイッチ素子(TFT)を液晶表示パネル(LCDパネル)に組み込んだ例を示したが、エレクトロルミネッセントパネル(ELパネル)等への応用も可能であり、本発明は光の照射があるマトリックス状駆動回路一般に適用できるものである。

#### 発明の効果

以上の説明から明らかなように、本発明により、TFTをスイッチ素子とするアクティブマトリックス表示装置において、オプティカルシールドに

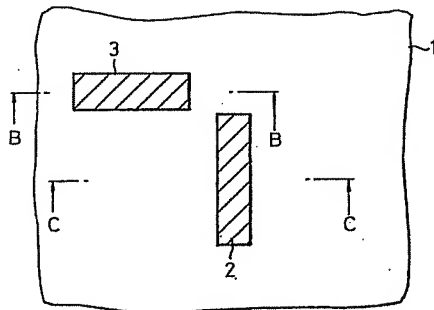
よりTFTのOFF抵抗の低下を防止しかつゲートバスおよびドレインバスを透明材料にして表示特性を高め、しかもその製造工程を簡単にする事が可能になる。

#### 4. 図面の簡単な説明

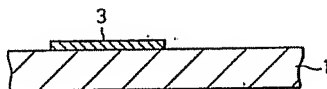
第1a, 2a, 3a図は本発明の実施例の表示装置の工程順の平面図、第1b, 2b, 3b, 4a図はその線分B-Bに沿った断面図、第1c, 2c, 3c, 4b図はその線分C-Cに沿った断面図、第5図は第2の実施例の平面図、第6a図は第3の実施例の平面図、第6b図はその線分V-B-V-Bに沿った断面図である。

1, 16……ガラス基板、2……ゲート電極(不透明)、3……ブリッジ電極(不透明)、4, 12……透明絶縁膜、5, 7……コンタクトホール、8……半導体層、9……ゲートバス、10……ドレインバス、11……画素電極、13……ライトシールド(不透明)、14, 18……ポリマ配向膜(透明)、15……液晶、17……対向電極(透明)。

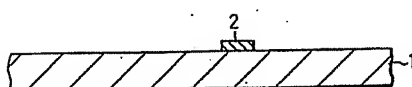
第1a図



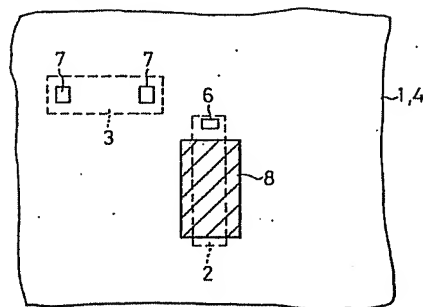
第1b図



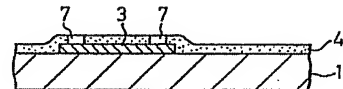
第1c図



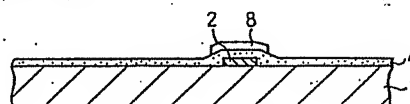
第2a図



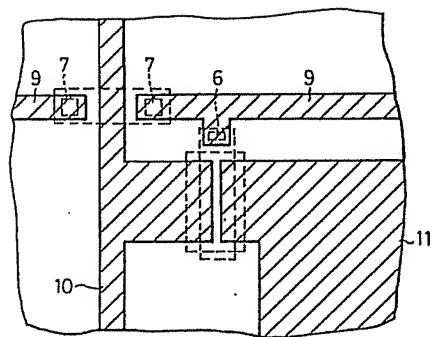
第2b図



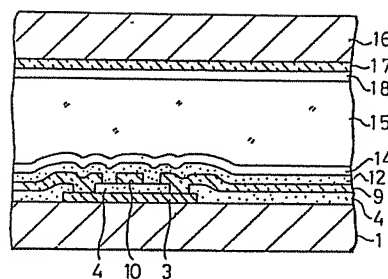
第2c図



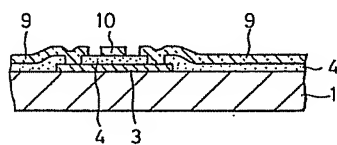
第3a図



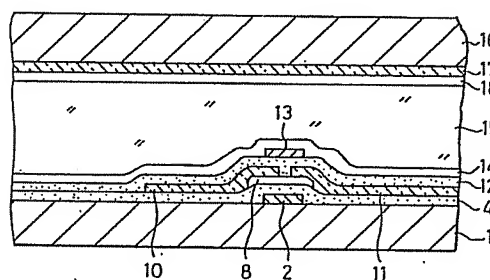
第4a図



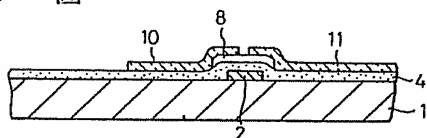
第3b図



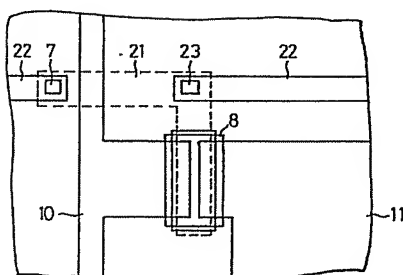
第4b図



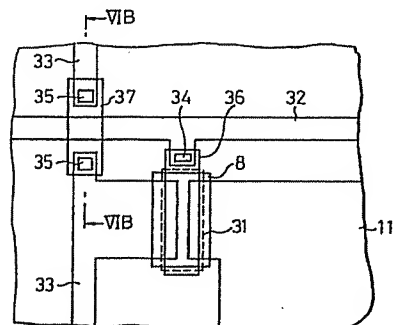
第3c図



第5図



第6a図



第6b図

